

平成18年3月24日判決言渡 同日原本領収 裁判所書記官

平成16年(ワ)第23600号 特許権侵害差止等請求事件

平成17年(ワ)第24177号 損害賠償請求事件

口頭弁論終結日 平成18年1月20日

判 決

原 告	株 式 会 社 東 芝
同 訴 訟 代 理 人 弁 護 士	高 橋 雄 一 郎
被 告	株 式 会 社 ハ イ ニ ッ ク ス ・ セ ミ コ ン ダ ク タ ー ・ ジ ャ パ ン
同 訴 訟 代 理 人 弁 護 士	片 山 英 二
同	長 沢 幸 男
同	北 原 潤 一
同	服 部 誠
同	岡 本 尚 美
同 訴 訟 代 理 人 弁 理 士	萩 原 誠
同	日 野 真 美
同 補 佐 人 弁 理 士	藤 田 尚

主 文

- 1 被告は、別紙被告製品目録記載の半導体記憶装置を譲渡し、貸し渡し、輸入し、又は譲渡若しくは貸渡しの申出をしてはならない。
- 2 被告は、別紙被告製品目録記載の半導体記憶装置を廃棄せよ。
- 3 被告は、原告に対し、金784万2103円及び内金133万8668円に対する平成17年11月8日から、残金650万3435円に対する平成17年11月26日から支払済みまで、それぞれ年5分の割合による金員を支払え。
- 4 原告のその余の請求をいずれも棄却する。

5 訴訟費用は、これを20分し、その1を被告の負担とし、その余を原告の負担とする。

6 この判決は、第1項及び第3項に限り、仮に執行することができる。

## 事実及び理由

### 第1 請求

1 被告は、別紙被告製品目録記載の半導体記憶装置を譲渡し、貸し渡し、又は輸入し、若しくは譲渡、貸渡し又は輸入の申出をしてはならない。

2 被告は、その占有に係る別紙被告製品目録記載の半導体記憶装置及びその半製品を廃棄せよ。

3 被告は、原告に対し、金4200万円及びこれに対する平成17年11月8日（平成16年(ワ)第23600号事件訴え変更申立書送達の日翌日）から支払済みまで年5分の割合による金員を支払え。

4 被告は、原告に対し、金2億4832万5000円及びこれに対する平成17年11月26日（平成17年(ワ)第24177号事件訴状送達の日翌日）から支払済みまで年5分の割合による金員を支払え。

### 第2 事案の概要

1 争いのない事実等（証拠を掲げていない事実は当事者間に争いが無い。）

#### (1) 当事者

原告は、電気機械器具の製造販売等を業とする会社であり、被告は、半導体素子の輸出入及び販売等を業とする会社である。

#### (2) 本件特許権

原告は、次の特許権を有している（以下「本件特許権」という。その特許請求の範囲請求項1の発明を「本件特許発明1」、同請求項2の発明を「本件特許発明2」、同請求項3の発明を「本件特許発明3」といい、併せて「本件特許発明」ということがある。なお、本件特許に係る明細書を「本件明細書」という。本判決末尾に添付した特許公報参照。）。

発明の名称 半導体記憶装置  
特許番号 第3187121号  
出願日 平成4年3月27日  
登録日 平成13年5月11日

特許請求の範囲

(請求項1)

「マトリクス状に配列された複数のメモリセルと各列に対してデータを一時的に格納するデータレジスタとを有し、前記メモリセルの内の選択した行に並ぶページデータを前記データレジスタに格納し、前記データレジスタ内のデータを順次外部に出力するページ読みだしモードを備える半導体記憶装置において、選択された行が切り換ると第1の所定の列から順次前記データレジスタの内容が外部に出力される第1のモードと、選択された行が切り換ると第2の所定の列から順次前記データレジスタの内容が外部に出力される第2のモードとを具備することを特徴とする半導体記憶装置。」

(請求項2)

「マトリクス状に配列された複数のメモリセルと各列に対してデータを一時的に格納するデータレジスタとを有し、前記メモリセルの内の選択した行に並ぶページデータを前記データレジスタに格納し、前記データレジスタ内のデータを順次外部に出力するページ読みだしモードを備える半導体記憶装置において、第1のモードでは選択された行が切り換ると第1の所定の列から順次前記データレジスタの内容を外部に出力し、第2のモードでは選択された行が切り換ると第2の所定の列から順次前記データレジスタの内容を外部に出力する制御手段を具備することを特徴とする半導体記憶装置。」

(請求項3)

「マトリクス状に配列された複数のメモリセルと各列に対してデータを一時的に格納するデータレジスタとを有し、前記メモリセルの内の選択した行に並ぶページデータを前記データレジスタに格納し、前記データレジスタ内のデータを順次外部に出力するページ読み出しモードを備える半導体記憶装置において、前記半導体記憶装置を第1のモードに切り換えて、所定の列から順次データレジスタの内容を読み出し、前記半導体記憶装置を第2のモードに切り換えて、前記所定の列のアドレス以降に記憶された冗長メモリセルのデータを順次連続して読み出す制御装置とを具備することを特徴とする半導体記憶装置。」

(3) 構成要件の分説

ア 本件特許発明1を構成要件に分説すると次のとおりである。

- A マトリクス状に配列された複数のメモリセルと
- B 各列に対してデータを一時的に格納するデータレジスタとを有し、
- C 前記メモリセルの内の選択した行に並ぶページデータを前記データレジスタに格納し、前記データレジスタ内のデータを順次外部に出力するページ読みだしモード
- D を備える半導体記憶装置において、
- E 選択された行が切り換ると第1の所定の列から順次前記データレジスタの内容が外部に出力される第1のモードと、
- F 選択された行が切り換ると第2の所定の列から順次前記データレジスタの内容が外部に出力される第2のモードと
- G を具備することを特徴とする半導体記憶装置

イ 本件特許発明2を構成要件に分説すると次のとおりである。

- H マトリクス状に配列された複数のメモリセルと
- I 各列に対してデータを一時的に格納するデータレジスタとを有し、
- J 前記メモリセルの内の選択した行に並ぶページデータを前記データレジ

スタに格納し，前記データレジスタ内のデータを順次外部に出力するページ読み出しモード

K を備える半導体記憶装置において，

L 第1のモードでは選択された行が切り換ると第1の所定の列から順次前記データレジスタの内容を外部に出力し，第2のモードでは選択された行が切り換ると第2の所定の列から順次前記データレジスタの内容を外部に出力する制御手段

M を具備することを特徴とする半導体記憶装置

ウ 本件特許発明3を構成要件に分説すると次のとおりである。

N マトリクス状に配列された複数のメモリセルと

O 各列に対してデータを一時的に格納するデータレジスタとを有し，

P 前記メモリセルの内の選択した行に並ぶページデータを前記データレジスタに格納し，前記データレジスタ内のデータを順次外部に出力するページ読み出しモード

Q を備える半導体記憶装置において，

R 前記半導体記憶装置を第1のモードに切り換えて，所定の列から順次データレジスタの内容を読み出し，前記半導体記憶装置を第2のモードに切り換えて，前記所定の列のアドレス以降に記憶された冗長メモリセルのデータを順次連続して読み出す制御装置と

S を具備することを特徴とする半導体記憶装置

#### (4) 被告の行為

被告は，平成16年7月ころから別紙被告製品目録記載の半導体記憶装置（以下「被告製品」という。）を韓国等から輸入し，我が国内で譲渡，貸渡し又はその申出をしている。

#### (5) 被告製品の構成

被告製品の構成は，別紙被告製品説明書記載のとおりである。

2 本件は、本件特許権を有する原告が、被告に対し、被告製品は、本件特許発明 1 ないし 3 の技術的範囲に属し本件特許権を侵害すると主張して、特許法 100 条に基づき、被告製品の譲渡等の差止め及び廃棄を請求するとともに、民法 709 条に基づき、損害賠償を請求する事案である。

### 3 本件の争点

- (1) 構成要件充足性
- (2) 本件特許発明は特許無効審判により無効にされるべきものか否か
  - ア 特許法 36 条 5 項 2 号違反
  - イ 新規性欠如その 1 (乙第 6 号証と同一か)
  - ウ 新規性欠如その 2 (乙第 7 号証と同一か)
- (3) 損害の発生及びその額

### 第 3 争点に関する当事者の主張

#### 1 争点(1) (構成要件充足性) について

〔原告の主張〕

- (1) 本件特許発明 1 の充足性
  - ア 被告製品は、別紙被告製品説明書によれば、次のような構成である。
    - a 行列状に配列された複数のメモリセルと
    - b 各列に対してデータを一時的に格納するページバッファとを有し、
    - c このメモリセルのうちの選択した行に並ぶページデータをこのページバッファに格納し、このページバッファ内のデータを順次外部に出力するシークンシャルリードモード
    - d を備える半導体記憶装置において、
    - e 選択された行の最終列まで読み出されると、次の行に切り換わり、列アドレスが 0 の位置から順次このページバッファの内容が外部に出力されるリード A モードと、
    - f 選択された行が切り換ると列アドレスが 512 の位置から順次このペー

ジバッファの内容が外部に出力されるリードCモードと

g を具備することを特徴とする半導体記憶装置

#### イ 対比

##### (ア) 構成要件Aについて

被告製品の構成aにいう行列状とは「マトリクス状」であるから、被告製品は構成要件Aを充足する。

##### (イ) 構成要件Bについて

被告製品の構成bにいうページバッファは「データレジスタ」に該当するから、被告製品は構成要件Bを充足する。

##### (ウ) 構成要件Cについて

被告製品の構成cにいうシーケンシャルリードモードは「ページ読みだしモード」に該当するから、被告製品は構成要件Cを充足する。

##### (エ) 構成要件Dについて

被告製品は構成要件Dを充足する。

##### (オ) 構成要件Eについて

上記(ア)のとおり、メモリセルは行列状に配置されていることから列アドレスが0の位置は「第1の所定の列」に該当し、リードAモードは「第1のモード」に該当する。

したがって、被告製品は構成要件Eを充足する。

##### (カ) 構成要件Fについて

上記(ア)のとおり、メモリセルは行列状に配置されていることから列アドレスが5 1 2の位置は「第2の所定の列」に該当し、リードCモードは「第2のモード」に該当する。

したがって、被告製品は構成要件Fを充足する。

##### (キ) 構成要件Gについて

被告製品が構成要件Gを充足することは明らかである。

(2) 本件特許発明 2 の充足性

ア 被告製品は、別紙被告製品説明書によれば、次のような構成である。

h 行列状に配列された複数のメモリセルと

i 各列に対してデータを一時的に格納するページバッファとを有し、

j このメモリセルのうちの選択した行に並ぶページデータをこのページバッファに格納し、このページバッファ内のデータを順次外部に出力するシケンシャルリードモード

k を備える半導体記憶装置において、

l リード A モードでは選択された行が切り換わると列アドレスが 0 の位置から順次このページバッファの内容を外部に出力し、リード C モードでは選択された行が切り換わると列アドレスが 5 1 2 の位置から順次このページバッファの内容を外部に出力するアドレスレジスタ・カウンタ、行デコーダ及び列デコーダ

m を具備することを特徴とする半導体記憶装置

イ 対比

(ア) 構成要件 H ないし K 及び M について

被告製品の構成 h ないし k 及び m が、それぞれ構成要件 H ないし K 及び M を充足することは明らかである。

(イ) 構成要件 L について

「制御手段」はおよそ制御を行う回路ならすべてを含むように理解されるので、念のため実施例を参酌して解釈すると、本件明細書の図面の中でも【図 2】の「制御回路」、「カラムアドレスバッファ」、「カラムデコーダ」、「ロウアドレスバッファ」、「ロウデコーダ」等が「制御手段」の一例を表していることは明白である。

したがって、「制御手段」とは行アドレスや列アドレスを保持し、これをカウントアップする機能と、これらアドレスによってメモリセル及びこれ



に接続されたページバッファを選択する機能とを有する回路であるということになる。

以上より，被告製品の構成 1 のアドレスレジスタ・カウンタ，行デコーダ及び列デコーダが「制御手段」に該当する。

前記(1)イ(ア)のとおり，メモリセルは行列状に配置されていることから列アドレスが 0 の位置は「第 1 の所定の列」に，列アドレスが 5 1 2 の位置は「第 2 の所定の列」にそれぞれ該当する。

したがって，被告製品は構成要件 L を充足する。

### (3) 本件特許発明 3 の充足性

ア 被告製品は，別紙被告製品説明書によれば，次のような構成である。

n 行列状に配列された複数のメモリセルと

o 各列に対してデータを一時的に格納するページバッファとを有し，

p このメモリセルのうちの選択した行に並ぶページデータをこのページバッファに格納し，このページバッファ内のデータを順次外部に出力するシケンシャルリードモード

q を備える半導体記憶装置において，

r この半導体記憶装置をリード A モードに切り換えて，列アドレスが 0 の位置から順次ページバッファの内容を読み出し，半導体記憶装置をリード C モードに切り換えて，列アドレスが 5 1 2 の位置以降に記憶された冗長メモリセルのデータを順次連続して読み出すアドレスレジスタ・カウンタ，行デコーダ及び列デコーダと

s を具備することを特徴とする半導体記憶装置

イ 対比

(ア) 構成要件 N ないし Q 及び S について

被告製品の構成 n ないし q 及び s が，それぞれ構成要件 N ないし Q 及び S を充足することは明らかである。

(イ) 構成要件Rについて

被告製品における，列アドレスが5 1 2の位置以降に記憶された冗長メモリセルは，「前記所定の列のアドレス以降に記憶された冗長メモリセル」に該当する。したがって，被告製品の構成rが構成要件Rを充足することは明らかである。

(4) 被告の主張に対する反論

被告は，本件特許発明の発明の内容を把握することができないとして構成要件充足性を争っているが，これは実質上特許法36条違反の問題に解消されるところで，被告の同条違反の主張が理由のないことは，後記2〔原告の主張〕のとおりである。個々の構成要件要素と被告製品の特徴とが一対一で対応する以上，充足性に欠けることはない。

〔被告の主張〕

後記2〔被告の主張〕のとおり，本件特許発明にはその発明に必要な不可欠な構成が記載されておらず，まとまりのある1つの技術思想としての発明を把握することができないから，特許発明の技術的範囲を確定することができない。したがって，被告製品は本件特許発明の技術的範囲に属するとはいえない。

2 争点(2)ア（特許法36条5項2号違反）について

〔被告の主張〕

- (1) 本件特許発明の特許請求の範囲には，その発明の解決課題・目的及び作用効果を達成するのに不可欠な構成が記載されておらず，まとまりのある1つの技術的思想として発明を把握することができないから，平成6年法律第116号による改正前の特許法36条5項2号（特許を受けようとする発明の構成に欠くことのできない事項のみが記載されていること）に違反し，無効にされるべきものである。

すなわち，本件明細書の【0012】によれば，従来のメモリチップにおいては，メモリチップをハードディスクの代用として用いる場合に，各ページの

連続情報（すなわち，あるページの次にどのページを読むかについての情報。以下「ページ連続情報」という。）のみを連続して読み出す必要性があったところ，このような連続読み出しをする場合には，各ページの読み出し開始時に，このページ内におけるページ連続情報が記載されているセルのスタートアドレスを毎回入力する必要があるため，メモリチップ制御システムの負担が重くなるという問題があったものである。

また，本件明細書【0013】によれば，従来の半導体メモリは，任意のアドレスからのページ単位連続読み出しが可能であったところ，このような連続読み出しをする場合には，各ページの読み出し開始時に，このページ内における上記任意の（所定の）スタートアドレスを毎回入力する必要があるため，システムの効率が低下する問題があったものである。

なお，上記【0012】においては，連続読み出しをする対象となる情報は，ページ連続情報であることが明記されているのに対し，上記【0013】では，連続読み出しの対象となる情報は，「任意のアドレス」以降に記載された情報であり，ページ連続情報に限定されてはいない。しかし，この点を除けば，上記の両段落が述べていることは共通である。すなわち，従来の半導体記憶装置においては，各ページ内の任意のアドレス（スタートアドレス）以降に記載された情報のみを，各ページにわたって連続して読み出すことが可能であったところ，係る連続読み出しを行う場合には，各ページの読み出し開始時に，このページ内における上記任意の（所定の）アドレスを毎回入力する必要があるため，システムの負担が重くなり，効率が低下するという問題点があったのであり，この問題点（連続読み出しの場合における，所定アドレス毎回入力の必要性）が本件特許発明の解決課題である。

本件特許発明の効果は，連続読み出しの場合における，所定アドレス毎回入力の必要性を除去したことである旨記載されている。しかしながら，本件特許発明の特許請求の範囲の記載は，上記の本件特許発明の解決課題及び効果と全

く整合していない。つまり，本件特許発明の特許請求の範囲には，本件特許発明の上記解決課題が一切記載されていないし，同発明の上記効果を達成する技術的手段（解決手段）も一切記載されていない。

このように，本件特許発明の特許請求の範囲には，本件特許発明が特許発明であるための必要不可欠な構成，すなわち，連続読み出しの場合における，所定アドレス毎回入力の実現性を除去するための技術的手段が記載されておらず，結局，この特許請求の範囲からは，本件特許発明は従来技術のどのような問題をどのような手段で解決しようとしているのかを全く理解することができない。上記特許請求の範囲からは，まとまりのある1つの技術的思想として発明を把握することができないから，本件特許発明は，特許法36条5項2号に違反して特許されたものであり，無効とされるべきことは明白である。

## (2) 原告の主張に対する反論

ア 原告は，本件特許発明の特許請求の範囲の「モード」，「第1のモード」，「第2のモード」という用語自体に，連続読み出しの場合における，所定アドレス毎回入力の実現性の除去及びこれを実現するための技術的手段が含意されていると主張するのかもしれない。

しかしながら，特許請求の範囲における「モード」の説明は，例えば，本件特許発明1では，「前記メモリセルの内の選択した行に並ぶページデータを前記データレジスタに格納し，前記データレジスタ内のデータを順次外部に出力するページ読み出しモード」，「選択された行が切り換ると第1の所定の列から順次前記データレジスタの内容が外部に出力される第1のモード」，「選択された行が切り換ると第2の所定の列から順次前記データレジスタの内容が外部に出力される第2のモード」などと記載されているにすぎず，「モード」の機能についての上記記載から読み取れることは，「各モードにおいて，任意のアドレス以降の情報をデータレジスタを介して連続して読み出すことができる」というだけのことであって，これは要するに，「連続読み出し」を表現

したものにほかならない。しかし、「連続読み出し」は本件特許発明の前提事項であり、むしろ、本件特許発明が発明であるか否かを決定づける事項は、このような「連続読み出し」の場合において、果たして、各ページの読み出し開始時にスタートアドレスを入力する必要があるのか否かということであり、さらに、どのような技術的手段を採用することにより、各ページごとにスタートアドレスを入力しないにもかかわらず、連続読み出しができるのかということである。しかし、これらの点を上記特許請求の範囲の記載から読み取ることは不可能である。

原告は、「モード」、「第1のモード」、あるいは「第2のモード」という用語自体から、上記の各事項が読み取れると主張したいのかもしれないが、それは無謀である。そもそも、「モード」という用語は、原告も認めるとおり、「ある動作状態ないし方式」を示すものであって、「その動作状態ないし方式が具体的にいかなるものであるのか」を含意するものではないからである。もし、ある「モード」が具体的にいかなるものであるのかをクレームに表現したいのであれば、それは「モード」とは別の構成要件として、クレームに明確に記載しなければならないのであり、これを本件特許発明についていえば、「所定アドレス毎回入力必要性」を除去する技術的手段とはいかなるものであるのかが、特許請求の範囲に明確に記載されなければならないのである。

イ 原告は、「モード」の修飾語としてクレームに記載されている「選択された行が切り換ると第1（第2）の所定の列から順次前記データレジスタの内容が外部に出力される」との表現、特に「所定の列」という文言を拠り所とし、「所定の」とは「予め定まっている」という意味であり、「予め列が定まっている」ということは「列のアドレスを入力する必要がない」ことを必然的に意味すると主張しているのかもしれない。

しかし、「所定の列」の意味については、本件明細書のどこにも定義がない

ところ、「所定」という語の日本語の通常の意味及び「第1（第2）の所定の列から順次前記データレジスタの内容が外部に出力される第1（第2）のモード」という記載からすると、「ある特定のモードに対応するある特定の列」といった漠然とした意味であると解するほかない。そして、「ある特定の」というのを「予め定まっている」と言い換えてみたとしても、そのことによつて、「各行（ページ）の読み出しを行う場合に、読み出し開始列アドレスを毎回入力する必要がない」という結論が必然的に導かれるものではない。以上のとおり、「所定の」という文言と「読み出し開始アドレスの毎回入力の必要性の有無」との間には、何ら必然的な結びつきはなく、「所定の」を「予め定まっている」と言い換えてみても同じことである。したがって、クレームの「所定の」という文言に依拠して、本件特許発明には従来技術の問題点についての解決手段が備わっているという原告の主張が成り立つ余地はない。

ウ 仮に、原告の主張が、本件特許発明に「第1のモード」と「第2のモード」という「読み出し開始位置の異なる」2つのモードを設けることが記載されていることから、「連続読み出しの場合における、所定アドレス毎回入力の必要性」を除去するための技術的手段が特許請求の範囲に記載されているのと同視できるという趣旨であったとしても、「第1のモード」、「第2のモード」という2つのモードで、読み出し開始位置がそれぞれ異なっていたり、第2のモードに入ることで第2の所定カラムアドレスから読み出しが開始されるからといって、このことが当然に、ページが切り換わるたびに何度もカラムアドレスを入れ直す必要がなくなることを意味するものでない。すなわち、本件特許発明の解決課題は、「連続読み出しの場合における、所定アドレス毎回入力の必要性」であり、それは、たとえば、0列というカラムアドレスから読み出しを開始する連続読み出しを「第1のモード」、512列というカラムアドレスから読み出しを開始する連続読み出しを「第2のモード」と呼ぶとして、少なくともこの「第2のモード」の連続読み出しにおいて、各ペー

ジごとに5 1 2列というスタートアドレスを入力する必要があったということが、本件特許発明が解決すべき従来技術の課題である。しかしながら、もし原告の主張のように、連続読み出しをする場合において、読み出し開始位置の異なる2つのモード（動作状態ないし方式）を設けることや、連続読み出しをする場合において、あるモード（第2のモード）では所定アドレス（5 1 2列）から読み出しが開始されることにより、必然的に、各ページごとに当該アドレスを入力する必要がなくなるなどといえるのであれば、本件特許発明の上記解決課題は存在しなかったことになり、同発明の前提が崩れ去ってしまうことになるはずである。したがって、本来、本件特許発明の特許請求の範囲には、所定のコラムアドレスからの「連続読み出し」を規定する「第1のモード」、「第2のモード」の要件とは別に、このような「連続読み出し」の場合において、「所定アドレス毎回入力必要性」を除去する技術的手段とはいかなるものであるのかが、明確に記載されなければならない。しかし、実際には、かかる技術的手段は一切記載されていない。

〔原告の主張〕

- (1) 本件特許発明は「モード」という概念を導入し、「第1のモード」と「第2のモード」とで、読み出し開始位置が（一方で、0コラム、他方で5 1 2コラムというように）異なっている点に特徴がある。つまり、「第1の所定の列から順次前記データレジスタの内容を外部に出力」する「第1のモード」と「第2の所定の列から順次前記データレジスタの内容を外部に出力」する「第2のモード」を設けている点に特徴がある。そのように構成すれば、読み出し開始位置が、「第1の所定の列」、「第2の所定の列」という具合に、あらかじめ定まるのであるから、ページが変わるごとにアドレスを何度も入力し直す手間が省けるのであって、この点に発明の新規性があることは明らかである。
- (2) 前記〔被告の主張〕(2)アについて  
被告は、原告の主張が、特許請求の範囲の「モード」、「第1のモード」、ある

いは「第2のモード」という用語自体に、連続読み出しの場合における、所定アドレス毎回入力の実現性の除去及びこれを実現するための技術的手段が含意されているという趣旨かもしれないなどと批判する。

しかしながら、原告は「モード」という文言にすべてを読み込むなどという主張をしているのではなく、「第1の所定の列から順次前記データレジスタの内容を外部に出力」する「第1のモード」と「第2の所定の列から順次前記データレジスタの内容を外部に出力」する「第2のモード」という特許請求の範囲の各文言を基礎に、読み出し開始位置が、「第1の所定の列」、「第2の所定の列」という具合に、あらかじめ定まるのであるから、ページが変わるごとにアドレスを何度も入力し直す手間が省けると述べているのである。

### (3) 前記〔被告の主張〕(2)ウについて

被告は、0列というカラムアドレスから読み出しを開始する連続読み出しを第1のモード、512列というカラムアドレスから読み出しを開始するという連続読み出しを第2のモードと呼ぶとして、少なくともこの第2のモードの連続読み出しにおいて、各ページごとに512列というスタートアドレスを入力する必要があったということが本件特許発明が解決すべき従来技術の課題であるなどと主張する。

しかしながら、被告の上記主張は、チップの外部から0列や512列といったカラムアドレスを入力しながら読み出しを行う半導体記憶装置の利用方法(これは半導体記憶装置の機能ではなく、半導体記憶装置のユーザーが半導体記憶装置を利用する際の、利用方法であるにすぎない。)を「第1のモード」、「第2のモード」などと呼ぶと主張している点に誤りがある。原被告間で争いのない「モード」の定義は「ある動作状態ないし方式」であるが、半導体記憶装置のユーザーが利用するときの利用方法は半導体記憶装置の「ある動作状態ないし方式」とはいえない。

### 3 争点(2)イ(新規性欠如その1)について



〔被告の主張〕

(1) 引用例 1 の内容

本件特許発明の特許出願前に頒布された刊行物である「IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. sc-19, NO.6, DECEMBER 1984」(乙 6。以下、乙第 6 号証に記載された発明を「引用例 1」という。)には、次の構成の半導体記憶装置が記載されている(以下、記号に従って「構成 a」などという。)

- a 64K×1ダイナミックRAMアレイと、
- b 各列に対してデータを一時的に格納する高速256ビット・シフトレジスタとを有し、
- c ダイナミックRAMアレイ内の行の情報を単一メモリ・サイクルで前記高速256ビット・シフトレジスタに転送して格納し、前記高速256ビット・シフトレジスタ内のデータをシリアル・アウトプット(SOUT)ピンを介して順次外部に出力する半導体記憶装置において、
- d セグメント又は“タップ”の選択に従って、所定の列(ビット00, ビット64, ビット128, 又はビット192)から順次前記高速256ビット・シフトレジスタの内容を外部に出力する
- e ことを特徴とする半導体記憶装置

(2) 本件特許発明 1 との対比

ア 構成要件 A について

引用例 1 の構成 a における「64K×1ダイナミックRAMアレイ」は、構成要件 A における「マトリクス状に配列された複数のメモリセル」に該当する。したがって、同構成 a は構成要件 A を充足する。

イ 構成要件 B について

引用例 1 の構成 b における「高速256ビット・シフトレジスタ」は、ダイナミックRAMアレイの一行分の256ビットのデータを各列に対応して一時的に格納しているから、構成要件 B における「データレジスタ」に該

当する。したがって、同構成 b は構成要件 B を充足する。

#### ウ 構成要件 C 及び D について

引用例 1 には、DRAM 中の行の情報は単一メモリ・サイクルでレジスタに転送されること及び 256 ビットの情報を DRAM の選択された行からシフトレジスタへ転送させることが記載されているから（訳文 2 頁の 1 行ないし 6 行，21 行ないし 24 行。英文 P.999 左欄下から 8 行ないし 2 行，右欄下から 15 行ないし 11 行），引用例 1 の構成 c における「ダイナミック RAM アレイ内の行の情報を単一メモリ・サイクルで前記高速 256 ビット・シフトレジスタに転送して格納し」は、構成要件 C における「前記メモリセル内の選択した行に並ぶページデータを前記データレジスタに格納し、」に該当する。さらに、乙第 6 号証には、シリアル・アウトプット（SOUT）のピンはデータをシフトレジスタの外にシフトさせると記載されており（訳文 3 頁の 5 ないし 7 行），256 ビットのデータは行単位（ページ単位）で順次出力されていることは明らかである。

したがって、引用例 1 の構成 c における「前記高速 256 ビット・シフトレジスタ内のデータをシリアル・アウトプット（SOUT）ピンを介して順次外部に出力する半導体記憶装置において、」は、構成要件 C における「前記データレジスタ内のデータを順次外部に出力するページ読みだしモードを備える半導体記憶装置において、」に該当する。以上から、同構成 c は構成要件 C 及び D を充足する。

#### エ 構成要件 E 及び F について

乙第 6 号証（訳文 9 頁の 6 行ないし 15 行。英文 P.1003 左欄下から 4 行ないし右欄 9 行）によれば、256 ビットのシフトレジスタは 4 つのカスケード接続された 64 ビットのセグメントに分割されており、2 ビットのバイナリコード（00，01，10，11）によって各セグメント又は“タップ”の選択が行なわれる。そして、バイナリコードが 00 のときの読み出しを第

1のモードとし、バイナリコードが11のときの読み出しを第2のモードとすると、第1のモードのときには、第1の所定の列(ビット00)からビット255までのすべてのシフトレジスタの内容がビット00から順次外部に出力され、第2のモードのときには、第2の所定の列(ビット192)からビット255までの64ビットのシフトレジスタの内容がビット192から順次外部に出力される。そして、これらの読み出しはDRAMアレイ内のすべての行について行なわれる。

したがって、引用例1の構成dにおける「セグメント又は“タップ”の選択に従って」は、バイナリコードが00のときには、構成要件Eにおける「第1のモード」を設定し、バイナリコードが11のときには構成要件Fにおける「第2のモード」を設定することに該当する。そして、シフトレジスタのビット00の位置が構成要件Eにおける「第1の所定の列」に、ビット192の位置が構成要件Fにおける「第2の所定の列」に、それぞれ該当する。

また、DRAMアレイ内の各行ごとのデータを行単位(ページ単位)でシフトレジスタへ順次転送して格納することは、構成要件E、Fにおける「選択された行が切り換る」に該当する。

したがって、同構成dは、構成要件E及びFを充足する。

#### オ 構成要件Gについて

引用例1の構成eが構成要件Gを充足することはいうまでもない。

カ 以上のとおり、引用例1は、構成要件AないしEをいずれも充足する構成を有し、本件特許発明1と同一であるから、同発明は新規性を欠く。

### (3) 本件特許発明2との対比

#### ア 構成要件H、I、J、K及びMについて

引用例1の構成a、同b、同c及び同eが本件特許発明2の構成要件H、I、J、K及びMをそれぞれ充足することは、上記(2)と同様で

ある。

イ 構成要件 L について

構成要件 L には「制御手段」という用語があるが、特許請求の範囲には、その具体的な内容について何らの限定もなく、単に、同要件に定められた「第 1 のモード」、「第 2 のモード」という動作を実現するための手段という意味しかないから、これらの要件に定める動作と同じ動作をすることを示す引用例 1 の構成 d には、かかる動作を実現するための制御手段が実質的に開示されているものと認められる。

ウ 以上のとおり、引用例 1 は、構成要件 H ないし M をいずれも充足する構成を有し、本件特許発明 2 と同一であるから、本件特許発明 2 は、新規性を欠く。

(4) 本件特許発明 3 との対比

ア 構成要件 N , O , P , Q 及び S について

引用例 1 の構成 a , 同 b , 同 c 及び同 e が、本件特許発明 3 の構成要件 N , O , P , Q 及び S をそれぞれ充足することは、上記(2)におけるのと同様である。

イ 構成要件 R について

構成要件 R では、「第 2 のモード」において読み出しを開始する列は、「第 1 のモード」において読み出しを開始する列である「所定の列」のアドレス以降の列であるとの限定が付されている。

構成要件 F と L においては、「第 2 のモード」において読み出されるデータの内容については、何ら限定が付されていないのに対し、構成要件 R では、「冗長メモリセルのデータ」との限定が付されている。ただし、構成要件 R について「冗長メモリセル」の意味するところについては、特許請求の範囲の記載からは明らかでなく、また、本件明細書の発明の詳細な説明においても、「冗長メモリセル」、「冗長メモリセルのデータ」の意味内容を定義した記載はな

いところ、本件明細書には、「冗長メモリセル」、「冗長メモリセルのデータ」に関して、【0010】【0011】【0018】【0021】【0038】【0039】【0040】に記載されており、以上の記載によれば、構成要件Rにいう「冗長メモリセル」は、ページの連続情報や、ページの書換え回数を格納するために使用されるメモリ領域に限定されたものではなく、データ構造が $A_n + B_n$ で構成されている場合に、 $B_n$ の構造のデータが格納されたメモリ領域をも含むものとされているのであるから、「冗長メモリセルのデータ」にも特段の限定がないことが明らかである。したがって、構成要件Rにいう「第2のモード」における「冗長メモリセルのデータ」は、結局のところ、何ら限定が付されていないということになる。

そうすると、構成要件Rは、実質的にみて、構成要件E、F及びLと何ら異なるものではなく、あえて相違点を挙げれば、構成要件Rの「第2のモード」では、構成要件E、F及びLとは異なり、読み出し開始列のアドレスが、「第1のモード」の読み出し開始列のアドレスよりも後ろにあるということにすぎない。

以上の検討を踏まえ、引用例1の構成dと本件特許発明3の構成要件Rとを対比すると、構成dでは、バイナリコードが11の「第2のモード」では、ビット192からビット256までの領域に格納されているデータが $B_n$ の構造のデータとして順次連続して読み出される。そうすると、ビット192からビット256までのメモリ領域は、構成要件Rにいう「冗長メモリセル」に該当し、この領域に記憶されたデータは「冗長メモリセルのデータ」に該当する。

また、構成dにおける第2のモードで読み出されるデータは、所定の列のアドレス（ビット00）以降に記憶されたデータであり、このデータは順次連続して読み出されているから、構成dにおいても、引用例1の半導体記憶装置を第1のモードに切り換えて、所定の列から順次データレジスタの

内容を読み出し、半導体記憶装置を第2のモードに切り換えて、前記所定の列のアドレス以降に記憶された冗長メモリセルのデータを順次連続して読み出していることになる。

したがって、構成dは構成要件Rを充足する。

なお、構成要件Rには「制御装置」という用語があるが、その具体的な内容について何らの限定もなく、単に、同要件に定められた「第1のモード」、「第2のモード」という動作を実現するための手段という意味しかないから、これらの要件に定める動作と同じ動作をすることを示す構成dには、かかる動作を実現するための制御装置が実質的に開示されているものと認められる。

ウ 以上のとおり、引用例1は、構成要件NないしSをいずれも充足する構成を有し、本件特許発明3と同一であるから、同発明は新規性を欠く。

(5) 原告の主張に対する反論

原告は、引用例1においては、行を切り換えるために新たな行アドレスを入力する必要があるとともに、行が切り換わった都度、当該行の読み出し開始列アドレスを入力する必要があるとして、この点において、引用例1は、本件特許発明の「第1のモード」、「第2のモード」を備えていないと主張する。しかし、本件特許発明の「第1のモード」、「第2のモード」という要件は、行が切り換わった場合において新たな行の読み出し開始列アドレスを入力する必要があるか否かとは無関係な要件であり、「読み出し開始列アドレスの入力を必要としない方式」に限定されるものではない。したがって、「読み出し開始列アドレス入力必要性」を根拠として、引用例1と本件特許発明とを区別することはできないから、本件特許発明は新規性を欠く。

(6) 以上により、本件特許発明1ないし3はいずれも新規性を欠くから、特許法104条の3第1項により、本件特許権を行使することは許されない。

〔原告の主張〕

- (1) 引用例 1 には、次のとおり、本件特許発明の構成要件 E、F、L 及び R が記載されていないから、本件特許発明と同一とはいえない。

ア 引用例 1 の内容

引用例 1 の半導体メモリは、行アドレスを切り換えるごとに、「2 ビットのバイナリコード」(タップ列アドレスであって、列アドレスの一種である)を毎回入力し、その後、指定された列アドレスから順次データを出力するものである。つまり、引用例 1 には、本件特許発明の従来技術と同一の技術が開示されている。ここで、 $\overline{\text{RAS}}$  とは「行アドレス・ストロブ信号」をいい、この信号がハイレベルからロウレベルに変化したときに、行アドレスが入力され、それに応じて行が切り換わる。 $\overline{\text{CAS}}$  とは「列アドレス・ストロブ信号」をいい、この信号がハイレベルからロウレベルに変化したときに、列アドレスが入力され、それに応じて指定された列アドレスから読み出しが開始される。

引用例 1 のメモリは

行アドレス切り換え ( $\overline{\text{RAS}}$  がロウになるとき)

列アドレス入力 ( $\overline{\text{CAS}}$  がロウになるとき)

(行アドレスの切り換えごとに毎回行う)

データの順次出力

という動作系列をたどる。

さらに、乙第 6 号証には「タップ選択は..... $\overline{\text{CAS}}$  がローとなると最上位 2 つのカラムアドレスピンに印加される 2 ビットコードによって制御される。」と記載されていることから、タップ選択を行いつつ、そのタップ列アドレスからデータを出力する場合には、

行アドレス切り換え ( $\overline{\text{RAS}}$  がロウになるとき)

タップ列アドレス入力 ( $\overline{\text{CAS}}$  がロウになるとき)

(行アドレスが切り換わるたびに毎回行う)

## データの順次出力

という動作系列をたどる。例えば「0ビットからシフト・アウト」する場合には、列アドレス0の二進表現であるところの00000000の上位2ビットである00を/CASの立ち下がりで入力し、「64ビットからシフト・アウト」する場合には、列アドレス64の二進表現であるところの01000000の上位2ビットである01を/CASの立ち下がりで入力し、「128ビットからシフト・アウト」する場合には、列アドレス128の二進表現である10000000の上位2ビットである10を/CASの立ち下がりで入力し、「192ビットからシフト・アウト」する場合には、列アドレス192の二進表現である11000000の上位2ビットである11を入力する。

そして、00, 01, 10, 11からなるタップ列アドレスは、行が切り換わった後に入力される列アドレスそのものである。

イ したがって、引用例1には、「選択された行が切り換ると第1の所定の列から順次前記データレジスタの内容が外部に出力される第1のモード」(構成要件E)、「選択された行が切り換ると第2の所定の列から順次前記データレジスタの内容が外部に出力される第2のモード」(構成要件F)が記載されていない。

当然のことながら、引用例1においては、毎回行アドレス及びタップ列アドレスを入力する必要があり、「連続読み出しの場合における、所定アドレス毎回入力の必要性」という課題は全然解決されていない。

### (2) 被告の主張に対する反論

ア 被告は、構成dに関し、セグメント又はタップの選択にしたがって、所定の列(ビット00, ビット64, ビット128, 又はビット192)から順次前記高速256ビット・シフトレジスタの内容を外部に出力するなどと述べているが、誤りである。

正しくは、行アドレスを毎回入力し行を切り換え、その都度、常に、タッ



プ列アドレスを毎回入力することによって、所定の列（ビット00，ビット64，ビット128，又はビット192）から順次前記高速256ビット・シフトレジスタの内容を外部に出力する，というべきである。

イ 被告は，バイナリコードが00のときの読み出しを第1のモードとし，バイナリコードが11のときの読み出しを第2のモードとするなどと述べているが，誤りである。

引用例1では，行アドレスを切り換えるごとに，列アドレスを毎回入力しなければならないのであるから，これを「第1のモード」，「第2のモード」などと呼ぶことはできないことは明らかである。

#### 4 争点(2)ウ（新規性欠如その2）について

〔被告の主張〕

(1) 本件特許発明の特許出願前に頒布された刊行物である特開昭62-298095号公報（乙7。以下，乙第7号証に記載された発明を「引用例2」という。）には，次の構成の半導体記憶装置が記載されていることが明らかである（以下，記号の順序に従って「構成a」などという）。

- a” マトリクス状に配列されたメモリアレイ（M - A R Y）と，
- b” 各列に対してデータを一時的に格納するデータ出力バッファ（D O B）とを有し，
- c” 前記メモリアレイ（M - A R Y）内の選択した行に並ぶページデータを前記データ出力バッファ（D O B）に格納し，前記データ出力バッファ（D O B）内のデータを順次外部に出力するページ読み出しモードを備える半導体記憶装置において，
- d” 8ビット単位でデータビット（D 0 ~ D 7）のページデータを順次前記データ出力バッファ（D O B）から外部に出力する第1のモードと，書き込み状態を記録する情報ビット（S B）の内容をアドレス\$ 0 0 0から順次連続して前記データ出力バッファ（D O B）から外部に出力する第2の

モードとを具備する

e” ことを特徴とする半導体記憶装置。

(2) 本件特許発明 1 との対比

ア 構成要件 A について

構成 a” における「メモリアレイ (M - A R Y)」は構成要件 A における「マトリクス状に配列された複数のメモリセル」に該当する。したがって、構成 a” は構成要件 A を充足する。

イ 構成要件 B について

構成 b” における「データ出力バッファ (D O B)」は、メモリアレイ (M - A R Y) の 1 行分の 9 ビットのデータを各列に対応して一時的に格納しているから構成要件 B における「データレジスタ」に該当する。したがって、構成 b” は構成要件 B を充足する。

ウ 構成要件 C 及び D について

乙第 7 号証の第 1 図及び 4 頁右下欄 1 7 行ないし 5 頁左上欄 1 1 行、5 頁左上欄 1 7 行ないし同右上欄 2 行の記載によれば、データは行ごとに 8 ビット単位でデータ出力バッファ (D O B) に書き込み / 読み出しが行なわれているから、構成 c” における「前記メモリアレイ (M - A R Y) 内の選択した行に並ぶページデータを前記データ出力バッファ (D O B) に格納し、」は、構成要件 C における「前記メモリセル内の選択した行に並ぶページデータを前記レジスタに格納し、」に該当する。そして、データ出力バッファ (D O B) に転送されたデータは行単位で順次外部に出力されているから、構成 c” における「前記データ出力バッファ (D O B) 内のデータを順次外部に出力するページ読み出しモードを備える半導体記憶装置において、」は、構成要件 C 及び D における「前記データレジスタ内のデータを順次外部に出力するページ読み出しモードを備える半導体記憶装置において、」に該当する。

以上より、構成 c” は構成要件 C 及び D を充足する。

## エ 構成要件E及びFについて

乙第7号証の第1図及び4頁右下欄17行ないし5頁左上欄11行、5頁左上欄17行ないし同右上欄2行の記載によれば、メモリアレイ(M-ARY)は8ビット分がデータとして、残り1ビット分が書き込み状態を記録する情報ビット(SB)として利用されている。そして、通常のデータ読み出しとして、上記8ビット単位での読み出しが行なわれるとともに、上記(1)d”に記載されたように、EPROMに対して別のデータを書き込む場合には、アドレス\$000から情報ビット(SB)のみの読み出しが順次連続して行われる。

したがって、8ビット単位で行データを読み出すのを「第1のモード」とし、情報ビット(SB)を読み出すのを「第2のモード」とすると、「第1のモード」のときには、第1の所定の列であるビットD0からビットD7までのすべてのメモリアレイ(M-ARY)の行単位の情報が、データ出力バッファ(DOB)から順次外部に出力される。また、「第2のモード」のときには、第2の所定の列であるビットSBの情報がデータ出力バッファ(DOB)を介して順次連続して外部に出力される。

そして、これらの読み出しは、選択された行が切り換わるごとにすべての行について行なわれる。

したがって、構成d”における「8ビット単位でデータビット(D0~D7)のページデータを順次前記データ出力バッファ(DOB)から外部に出力する第1のモード」は、構成要件Eにおける「選択された行が切り換ると第1の所定の列から順次前記データレジスタの内容が外部に出力される第1のモード」に該当する。

また、構成d”における「書き込み状態を記録する情報ビット(SB)の内容をアドレス\$000から順次連続して前記データ出力バッファ(DOB)から外部に出力する第2のモード」は、構成要件Fにおける「選択された行

が切り換ると第2の所定の列から順次前記データレジスタの内容が外部に出力される第2のモード」に該当する。

したがって、構成d”は構成要件E及びFを充足する。

オ 構成要件Gについて

構成e”が構成要件Gを充足することはいうまでもない。

カ 以上のとおり、引用例2は、構成要件AないしGをいずれも充足する構成を有し、本件特許発明1と同一であるから、同発明は新規性を欠く。したがって、特許法104条の3第1項により、本件特許権を行使することは許されない。

(3) 本件特許発明2との対比

ア 構成要件H、I、J、K及びMについて

引用例2の構成a”、同b”、同c”及び同e”が本件特許発明2の構成要件H、I、J、K及びMをそれぞれ充足することは、上記(2)と同様である。

イ 構成要件Lについて

上記(2)エと同様の理由で、上記構成d”における「8ビット単位でデータビット(D0～D7)のページデータを順次前記データ出力バッファ(DOB)から外部に出力する第1のモード」は、構成要件Lにおける「第1のモードでは選択された行が切り換ると第1の所定の列から順次前記データレジスタの内容を外部に出力し」に該当する。

また、構成d”における「書き込み状態を記録する情報ビット(SB)の内容をアドレス\$000から順次連続して前記データ出力バッファ(DOB)から外部に出力する第2のモード」は、構成要件Lにおける「第2のモードでは選択された行が切り換ると第2の所定の列から順次前記データレジスタの内容を外部に出力する」に該当する。

なお、構成要件Lには「制御手段」という用語があるが、その具体的な内

容について何らの限定もなく，単に，同要件に定められた「第1のモード」，「第2のモード」という動作を実現するための手段という意味しかないから，これらの要件に定める動作と同じ動作をすることが記載された構成d”には，かかる動作を実現するための制御手段が実質的に開示されているものと認められる。

ウ 以上のとおり，引用例2は，構成要件HないしMをいずれも充足する構成を有し，本件特許発明2と同一であるから，同発明は新規性を欠く。

#### (4) 本件特許発明3との対比

##### ア 構成要件N，O，P，Q及びSについて

引用例2の構成a”，同b”，同c”及び同e”が本件特許発明3の構成要件N，O，P，Q及びSをそれぞれ充足することは，上記(2)と同様である。

##### イ 構成要件Rについて

上記(2)エと同様の理由で，構成d”における「8ビット単位でデータビット(D0～D7)のページデータを順次前記データ出力バッファ(DOB)から外部に出力する第1のモード」は，構成要件Rにおける『前記半導体記憶装置を第1のモードに切り換えて，所定の列から順次データレジスタの内容を読み出し，」に該当する。

また，構成d”における「書き込み状態を記録する情報ビット(SB)の内容をアドレス\$000から順次連続して前記データ出力バッファ(DOB)から外部に出力する第2のモード」は，構成要件Rにおける「前記半導体記憶装置を第2のモードに切り換えて，前記所定の列のアドレス以降に記憶された冗長メモリセルのデータを順次連続して読み出す」に該当する。

ここで，書き込み状態を記録する情報ビット(SB)が「冗長メモリセル」に該当することは明らかである。

なお，構成要件Rには「制御装置」なる用語があるが，その具体的な内容

について何らの限定もなく、単に、同要件に定められた「第1のモード」、「第2のモード」という動作を実現するための手段という意味しかないから、これらの要件に定める動作と同じ動作をすることが記載された構成d”には、かかる動作を実現するための制御装置が実質的に開示されているものと認められる。

ウ 以上のとおり、引用例2は、構成要件NないしSをいずれも充足する構成を有し、本件特許発明3と同一であるから、同発明は新規性を欠く。

(5) 以上により、本件特許発明1ないし3はいずれも新規性を欠くから、特許法104条の3第1項により、本件特許権を行使することは許されない。

〔原告の主張〕

引用例2には、本件特許発明の構成要件C、E、F、J、L、P及びRが記載されていないから、本件特許発明と同一とはいえない。

すなわち、引用例2のデータ出力バッファ(DOB)は、「選択した行に並ぶページデータ」を「格納」するのではないし、「前記ページデータ出力バッファ(DOB)内のデータを順次外部に出力する」のでもないし(9個のデータ出力バッファ(DOB)のうち8ビットは同時に入出力される。)、ページ読み出し方式も採用していない。加えて、「順次前記データレジスタの内容が外部に出力される」ような「モード」も存在しない(順次出力されるのではないから当然である)。情報ビット(SB)の内容を出力する出力バッファは1個しかない(あるいは、1ビット読み出しごとにアドレスを毎回入力するので)「順次連続して」出力するものでもない。

以上のとおり、引用例2は本件特許発明とは全く無関係である。本件特許発明との共通点はただひとつ、「マトリクス状に配列された複数のメモリセル」を有するという点のみである。

5 争点(3)(損害の発生及びその額)について

〔原告の主張〕

- (1) 本件特許発明の相当な実施料率は1パーセントである。
- (2) 被告における平成16年7月から同年9月末日までの被告製品の売上げは1億3386万6842円であり、平成16年10月から平成17年6月末日までの被告製品の売上げは6億5034万3486円である。
- (3) よって、被告が支払うべき実施料相当損害金の額は、平成16年7月から同年9月末日までの分が133万8668円であり、平成16年10月から平成17年6月末日までの分が650万3435円である。

〔被告の主張〕

上記〔原告の主張〕(1)及び(2)はいずれも認め、その余は争う。

#### 第4 争点に対する判断

##### 1 争点(1) (構成要件充足性) について

- (1) 本件特許発明の特許請求の範囲は、前記第2の1(2)のとおりであり、本件明細書には発明の詳細な説明として、以下の記載がある(甲6)。

ア 産業上の利用分野(2)頁左欄9行ないし11行【0001】)

本発明は半導体記憶装置に関する。特に、電氣的にデータの書換えが可能な不揮発性半導体メモリに関する。

イ 従来技術

(ア) 電氣的に記憶データを消去し、新たなデータを再書込みできるROMはEEPROM.....として知られている。このEEPROMは、記憶内容を消去するとき、EPROMとは異なり紫外線を用いる必要がない。従って、ボード上に実装した状態のまま電氣的にデータの消去、書換えを行うことができる。このため、使いやすく、各種制御用機器用やメモリカード用等として用いられる(2)頁左欄13行ないし22行【0002】)。

(イ) 近年、特に大容量化に適したEEPROMとしてNANDセル構造を有するEEPROMが開発されている。このNANDセルタイプのE

E P R O Mの特徴は、以下の通りである。すなわち、データの書込み、消去に当って、従来のN O Rタイプのメモリセルと異なり、ホットエレクトロンの注入を必要としない。書込み、消去は、トンネル効果によって行っている。このため、メモリセルに流れる電流が少ない。したがって、ページ単位でのデータの書換えが可能である（(2)頁左欄23行ないし31行【0003】）。

(ウ) このN A N DタイプのE E P R O Mはメモリセルサイズが小さいため安価であり、大容量のハードディスクの代わりに使用される。このN A N DタイプのE E P R O Mで連続データ読み出しを行う場合、1ページの最終番地（最終ページ内アドレス）まで70 n s e cでシリアル読み出しを行った後に次のデータを読み出すために10 μ s e cのランダム読み出しを行う必要があるため、システムで読み出しアドレスが1ページの最終番地か監視して、メモリからのデータ読み出しタイミングを制御する必要があった。このためメモリ制御方法が複雑でありメモリ制御専用チップを必要とするという問題があった。これらの問題を解決するため、外部制御信号に応答してチップ内部の内部アドレスをインクリメントし、1ページの最終アドレスまで読み出した後はチップに内蔵されたタイマーによる制御で自動的にランダム読み出しを行う機能を付加したN A N DタイプのE E P R O Mが、.....出願された特願平3 - 7 7 9 2 2 0 1に詳細に開示されている。一般にハードディスクの記憶データは512バイト単位で管理されており、この512バイト単位のデータはディスク内の任意の位置に記憶される。このため512バイト以上のデータを記憶しておくためには、この512バイト単位のデータの連続情報を記憶しておく必要がある。N A N DタイプのE E P R O Mをハードディスクの代わりに使用する場合、カラム方向のビット数を512バイト（4Mビット）で構成して上記連続情報を冗長メモリセル（2バイ



ト)に記憶することにより，1度のランダム読み出しで512バイト(1セクター)の情報と次のセクターアドレス(ページアドレス情報)をデータレジスタに読み込むことが可能となる(3)頁左欄28行ないし同頁右欄7行【0010】)。

(エ) 一般的にハードディスクではデータの配置情報を得るため各ページの連続情報のみを連続して読み出す必要があり，メモリチップをハードディスクの代わりに使用する場合も各ページの連続情報のみを読み出す必要がある。しかしながら上記のような改良されたNANDタイプEEPROMの場合，各ページのページ連続情報を読み出すたびに冗長セルのスタートアドレスを入力する必要があり，メモリチップを制御するシステムの負担が重くなるという問題があった(4)頁左欄2行ないし10行【0012】)。

#### ウ 発明が解決しようとする課題

(ア) 従来の任意アドレスからのページ単位連続読み出し可能な半導体メモリにおいて，ページ内の所定アドレスからページ最終アドレスまでのデータを連続したページについて読み出す場合，各ページ読み出し開始時に前記ページ内所定アドレスを毎回入力する必要があり，システムの効率が低下する問題があった(4)頁左欄11行ないし18行【0013】)。

(イ) 本発明はこのような点に鑑みてなされたものであり，その目的は前記ページ内所定アドレスを管理することなく，ページ内所定アドレスからページ内最終アドレスまでの各ページデータを連続して読み出せる半導体メモリを得ることにある(4)頁左欄19行ないし23行【0014】)。

#### エ 作用(4)頁右欄12行ないし23行【0017】)。

本発明による半導体記憶装置は，ページ内の第一の所定カラムアドレスからそのページの最終アドレスまでのデータを連続したページについて読み出せるとともに，ページ内の第二の所定カラムアドレスからそのページの最終

アドレスまでのデータを連続したページについて読み出すことが可能である。このためデータ構造が第一のデータと第二のデータの和の形となっているデータの集合を記憶する場合に、第一のデータと第二のデータの和のデータ集合を連続して読み出せるとともに、第二のデータのみを連続して読み出すことも可能となり、半導体記憶装置を用いたシステムの効率を向上させることができる。

オ 発明の効果（(10)頁右欄 1 1 行ないし 1 6 行【0 0 4 1】）

本発明によれば、所定カラムアドレスより上位のカラムアドレスで選択されるメモリセルブロックのデータをページ毎に連続して読み出す場合に、ページアドレスが変化するたびに読み出し開始アドレスを入力する必要がなく、メモリチップを制御するシステムを簡単に構成可能な不揮発性半導体メモリを実現できる。

(2) 構成要件の解釈

特許発明の技術的範囲は、特許請求の範囲の記載に基づいて定められ（特許法 70 条 1 項）、特許請求の範囲に記載された用語の意味は、明細書の記載及び図面を考慮して解釈する（同条 2 項）。明細書に特許請求の範囲に記載された用語に関する特別な説明や定義が存在しない場合には、当業者が理解する一般的な意味として解釈すべきである。

ア 本件特許発明における「マトリクス状」の意義

「マトリクス状」とは、「行列状」を意味するものである（広辞苑第 5 版 2 5 2 1 頁）。

イ 本件特許発明における「データレジスタ」の意義

特許請求の範囲（構成要件 B、I 及び O）には、「各列に対してデータを一時的に格納するデータレジスタ」と、同 C、J 及び P には、「前記メモリセルの内の選択した行に並ぶページデータを前記データレジスタに格納し、前記データレジスタ内のデータを順次外部に出力するページ読み出しモード」

と、同E、F、L及びRには、「所定の列から順次前記データレジスタの内容が外部に出力される」「所定の列から順次前記データレジスタの内容を外部に出力し」「所定の列から順次データレジスタの内容を読み出し」と記載されている。

以上の記載に、特許請求の範囲（構成要件A、D、H、K、N及びQ）の記載から上記「各列」とは半導体記憶装置のマトリクス状に配列された複数のメモリセルの列をいうものであると認められることを併せ考慮すると、本件特許発明にいう「データレジスタ」とは、半導体記憶装置のマトリクス状に配列された複数のメモリセルの各列に対してデータないし上記メモリセルの選択した行に並ぶページデータにつき、その内容を順次外部に出力するために、一時的に格納するものと解される。

#### ウ 本件特許発明における「ページ読み出しモード」の意義

特許請求の範囲（構成要件C、J及びP）には、「前記メモリセルの内  
の選択した行に並ぶページデータを前記データレジスタに格納し、前記データレジスタ内のデータを順次外部に出力するページ読み出しモード」と記載されているから、「ページ読み出しモード」とは、データレジスタ内のデータを順次外部に出力するものである。そして、「モード」とは、「ある動作状態ないし方式」を意味するものであることは当事者間に争いがないから、「ページ読み出しモード」とは、メモリセルのうちの選択した行に並ぶページデータをデータレジスタに格納し、データレジスタ内のデータを順次外部に出力する動作状態ないし方式である。

#### エ 本件特許発明における「第1のモード」及び「第2のモード」の意義

特許請求の範囲（構成要件E及びF）には、「選択された行が切り換ると第1の所定の列から順次前記データレジスタの内容が外部に出力される第1のモードと」、「選択された行が切り換ると第2の所定の列から順次前記データレジスタの内容が外部に出力される第2のモードと」、同Lには、「第1の

モードでは選択された行が切り換ると第1の所定の列から順次前記データレジスタの内容を外部に出力し、第2のモードでは選択された行が切り換ると第2の所定の列から順次前記データレジスタの内容を外部に出力する制御手段」、同Rには、「前記半導体記憶装置を第1のモードに切り換えて、所定の列から順次データレジスタの内容を読み出し、前記半導体記憶装置を第2のモードに切り換えて、前記所定の列のアドレス以降に記憶された冗長メモリのデータを順次連続して読み出す制御装置と」と記載されている。そして、本件明細書(甲6)には、上記(1)のとおり、従来技術では、連続データ読み出しを行う場合、データの配置情報を得るため各ページの連続情報のみを連続して読み出す必要があり(4)頁左欄2行ないし4行【0012】、各ページ読み出し開始時に前記ページ内所定アドレスを毎回入力する必要があったところ(4)頁左欄15行ないし18行【0013】、本件特許発明の作用として、「ページ内の第一の所定カラムアドレスからそのページの最終アドレスまでのデータを連続したページについて読み出せるとともに、ページ内の第二の所定カラムアドレスからそのページの最終アドレスまでのデータを連続したページについて読み出すことが可能である」こと(4)頁右欄12行ないし17行【0017】)が記載されている。

以上の記載に上記「モード」の定義を併せ考慮すると、「第1のモード」とは、選択された行が切り換わると、ページ内所定アドレスを各ページ読み出し開始時に毎回入力することなく、自動的に、第1の所定の列から順次データレジスタの内容が外部に出力される動作状態ないし方式であり、「第2のモード」とは、同様に、選択された行が切り換わると、ページ内所定アドレスを各ページ読み出し開始時に毎回入力することなく、自動的に、第2の所定の列から順次データレジスタの内容が外部に出力される動作状態ないし方式をいうものと解される。

オ 本件特許発明2における「制御手段」の意義

特許請求の範囲（構成要件 L）には、「第 1 のモードでは選択された行が切り換ると第 1 の所定の列から順次前記データレジスタの内容を外部に出力し、第 2 のモードでは選択された行が切り換ると第 2 の所定の列から順次前記データレジスタの内容を外部に出力する制御手段」と記載されているから、ここでいう「制御手段」とは、第 1 のモード及び第 2 のモードにおいて、選択された行が切り換わるとそれぞれの所定の列から順次前記データレジスタの内容を外部に出力する手段を意味するものである。

本件明細書（甲 6）の実施例では、図 4 が第 1 のモードの動作の説明であり（(5)頁左欄 19 行ないし右欄 9 行【0019】【0020】）、図 5 が第 2 のモードの動作の説明であるところ（(5)頁右欄 10 行ないし(6)頁左欄 12 行【0021】）、これらの動作を制御しているのは、図 2 の本件特許発明の実施例を表わしたブロック図に示された「制御回路」、「カラムアドレスバッファ」、「カラムデコーダ」、「ロウアドレスバッファ」、「ロウデコーダ」等である。そして、図 2 については、「本発明を適用した不揮発性半導体のブロック系統図で、I/Oピン 111 から入力されたカラムアドレス A0 ~ A8 はカラムアドレスバッファ回路 105 で記憶され、またロウアドレス A9 ~ A18 はロウアドレスバッファ回路 107 で記憶される。またこの不揮発性半導体装置の読み出し、書き込み、消去の各モードの制御は、I/Oピンから入力されたコマンドコードをコマンドデコーダ 109 でデコードすることにより行われる。I/Oピン 111 の入/出力モード切り換えと入力データのアドレス/コマンドデータの識別は、それぞれの入力ピンから入力される外部制御信号 CLE, NCE, NWE, ALE, NRE, NWP により行われる。また制御回路からはチップがアクセス可能か、不可能かを示す信号が Ready / Busy ピンを介して外部に出力される」（(4)頁右欄 33 行ないし 47 行【0018】）と説明され、また、図 7 は、「カラムアドレス A0 ~ A8、ロウアドレス A9 ~ A18 で構成さ

れる本発明の4 Mビットの不揮発性半導体メモリにおいて、内部アドレスの動作を説明するためのアドレスバッファ回路の回路図を示す」( (6)頁右欄6行ないし10行【0023】) ものであるが、図7の回路構成について、「本実施例ではランダム読み出し後にカラム読み出し開始番地が0番地に設定される第一の読み出しモードでは内部制御信号EXは”L”レベル、またカラム読み出し開始番地が512番地に設定される第二の読み出しモードでは内部制御信号EXが”H”レベルとなるよう構成されている。第一の読み出しモードでは内部制御信号EXは”L”レベルであるから、アドレス入力モードで負論理のアドレスラッチ制御信号LP1が出力されると、アドレスバッファ回路ABUF8Eには”L”レベルの内部アドレス信号がラッチされ、アドレスバッファ回路の出力信号A8ESは”L”レベルに、またA8ESBは”H”レベルに設定される。」( (8)頁左欄47行ないし右欄9行【0032】) と説明され、さらに、「第二の読み出しモードでは内部制御信号EXは”H”レベルとなっているから、アドレス入力モードで負論理のアドレスラッチ制御信号LP1が出力されると、アドレスバッファ回路ABUF8Eには”H”レベルの内部アドレス信号がラッチされ、アドレスバッファ回路の出力信号A8ESは”H”レベルに、またA8ESBは”L”レベルに設定される。このためアドレス入力モードでN番地を指定すると内部カラムアドレスは512 + N番地を指定することになる。言い替えれば第二の読み出しモードでN番地を指定すると冗長メモリセルブロック内のN番地を指定したことになる」( (9)頁左欄44行なし右欄4行【0037】) と説明されている。これらの記載によれば、結局、「制御手段」とは、第1のモード及び第2のモードにおいて、行アドレスや列アドレスを記憶、保持し、カウントアップする機能と、これらのアドレスによってメモリセル及びこれに接続されたデータレジスタとを選択する機能等を有する回路によって実現される、選択された行が切

り換わるとそれぞれの所定の列から順次前記データレジスタの内容を外部に出力する手段を指すものと認められる。

カ 本件特許発明 3 における「制御装置」について

特許請求の範囲（構成要件 R）には、「前記半導体記憶装置を第 1 のモードに切り換えて、所定の列から順次データレジスタの内容を読み出し、前記半導体記憶装置を第 2 のモードに切り換えて、前記所定の列のアドレス以降に記憶された冗長メモリセルのデータを順次連続して読み出す制御装置」と記載されているから、ここでいう「制御装置」とは、モードを第 1 のモード又は第 2 のモードにそれぞれ切り換えて、切り換えた後に各モードにおいて所定の列から順次データレジスタの内容を読み出す制御装置である。

(3) 被告製品における本件特許発明 1 の充足性

ア 被告製品の構成

被告製品が以下の構成を有していることは、当事者間に争いが無い。

- a 行列状に配列された複数のメモリセルと
- b 各列に対してデータを一時的に格納するページバッファとを有し、
- c このメモリセルの内の選択した行に並ぶページデータをこのページバッファに格納し、このデータレジスタ内のデータを順次外部に出力するシーケンシャルリードモード
- d を備える半導体記憶装置において、
- e 選択された行の最終列まで読み出されると、次の行に切り換わり、列アドレスが 0 の位置から順次このページバッファの内容が外部に出力されるリード A モードと、
- f 選択された行が切り換わると列アドレスが 5 1 2 の位置から順次このページバッファの内容が外部に出力されるリード C モードと
- g を具備することを特徴とする半導体記憶装置

イ 対比

(ア) 構成要件 A について

別紙被告製品説明書によれば，被告製品の構成 a のとおり，複数のメモリセルは「行列状」に配列されている。構成要件 A の「マトリクス状」も行列状を意味するから，被告製品は構成要件 A を充足する。

(イ) 構成要件 B について

別紙被告製品説明書によれば，被告製品の構成 b にいうページバッファとは，NANDフラッシュメモリアレイから読み出された 1 行分のデータ（1 ページ分のデータ）を一時的に保持する動作をするものである。したがって，ページバッファは，半導体記憶装置のマトリクス状に配列された複数のメモリセルの各列に対してデータを一時的に格納する役割を果たすものと同義であり，「データレジスタ」に該当するから，被告製品は構成要件 B を充足する。

(ウ) 構成要件 C について

別紙被告製品説明書によれば，被告製品の構成 c にいうシーケンシャルリードモードは，リード A モードとリード C モードの上位概念であり，構成 c にあるとおり，メモリセルのうちの選択した行に並ぶページデータをページバッファに格納し，そのデータを順次外部に出力するものであるから，メモリセルのうちの選択した行に並ぶページデータをデータレジスタに格納し，データレジスタ内のデータを順次外部に出力する動作状態ないし方式と同義であり，「ページ読みだしモード」に該当するから，被告製品は構成要件 C を充足する。

(エ) 構成要件 D について

被告製品の構成 d（半導体記憶装置）が構成要件 D を充足することは明らかである。

(オ) 構成要件 E について

被告製品の構成 e のとおり，リード A モードは，選択された行の最終列



まで読み出されると、次の行に切り換わり、列アドレスが0の位置から順次このページバッファの内容が外部に出力されるモードである。別紙被告製品説明書によれば、リードAモードは、1ページの最終列まで読み出した後、次に移行する列アドレスは、次ページの0列であるような読み出しモードのことであり、その読み出し動作は、同説明書の図4のとおりであり、行が切り換わるたびに所定アドレスを各ページ読み出し開始時に毎回入力することなく、自動的に順次ページデータが外部に出力されるというものである。そして、メモリセルは行列状に配置されていることから列アドレスが0の位置は「第1の所定の列」に該当する。したがって、リードAモードは、選択された行が切り換わると、ページ内所定アドレスを各ページ読み出し開始時に毎回入力することなく、自動的に、第1の所定の列から順次データレジスタの内容が外部に出力される動作状態ないし方式と同義であり、「第1のモード」に該当するから、被告製品は構成要件Eを充足する。

(カ) 構成要件Fについて

被告製品の構成fのとおり、リードCモードは、選択された行が切り換わると列アドレスが5 1 2の位置から順次このページバッファの内容が外部に出力されるモードである。別紙被告製品説明書によれば、リードCモードは、1ページの最終列まで読み出した後、次に移行する列アドレスは、次ページの5 1 2列であるような読み出しモードのことであり、その読み出し動作は、同説明書の図5のとおりであり、行が切り換わるたびに所定アドレスである5 1 2列を各ページ読み出し開始時に毎回入力することなく、自動的に順次ページデータが外部に出力されるというものである。そして、メモリセルは行列状に配置されていることから列アドレスが5 1 2の位置は「第2の所定の列」に該当する。したがって、リードCモードは、選択された行が切り換わると、ページ内所定アドレスを各ページ読み出し

開始時に毎回入力することなく，自動的に，第2の所定の列から順次データレジスタの内容が外部に出力される動作状態ないし方式と同義であり，「第2のモード」に該当するから，被告製品は構成要件Eを充足する。

(キ) 構成要件Gについて

被告製品の構成g（半導体記憶装置）が構成要件Gを充足することは明らかである。

ウ 以上のとおり，被告製品は本件特許発明1の技術的範囲に属する。

(4) 被告製品における本件特許発明2の充足性

ア 被告製品の構成

被告製品が以下の構成を有していることは，当事者間に争いがない。

h 行列状に配列された複数のメモリセルと

i 各列に対してデータを一時的に格納するページバッファとを有し，

j このメモリセルのうちの選択した行に並ぶページデータをこのページバッファに格納し，このページバッファ内のデータを順次外部に出力するシーケンシャルリードモード

k を備える半導体記憶装置において，

l リードAモードでは選択された行が切り換わると列アドレスが0の位置から順次このページバッファの内容を外部に出力し，リードCモードでは選択された行が切り換わると列アドレスが5 1 2の位置から順次このページバッファの内容を外部に出力するアドレスレジスタ・カウンタ，行デコーダ及び列デコーダ

m を具備することを特徴とする半導体記憶装置

イ 対比

(ア) 上記(3)イ(ア)ないし(エ)及び(キ)の認定と同様，被告製品の構成h，i，j，k及びmはそれぞれ構成要件H，I，J，K及びMを充足する。

(イ) 被告製品の構成lのとおり，リードAモードでは選択された行が切り

換わると列アドレスが0の位置から順次このページバッファの内容を外部に出力し、リードモードでは選択された行が切り換わると列アドレスが5 1 2の位置から順次このページバッファの内容を外部に出力しているのは、アドレスレジスタ・カウンタ、行デコーダ及び列デコーダである。別紙被告製品説明書によれば、それらは、被告製品の回路構成の一部であり、被告製品の回路は、I/Oバッファ・ラッチ回路、アドレスレジスタ・カウンタ、コマンドインターフェース論理回路、コマンドレジスタ、書込・消去・読出制御回路、高電圧発生回路、NANDフラッシュメモリセルアレイ、行デコーダ、ページバッファ、キャッシュレジスタ、列デコーダ等のブロックから構成されており、その機能は図2記載のとおりである。それによれば、上記被告製品の回路が、第1のモード及び第2のモードにおいて、行アドレスや列アドレスを記憶、保持し、カウントアップする機能と、これらのアドレスによってメモリセル及びこれに接続されたページバッファとを選択する機能等を有する回路であり、これによって実現される、選択された行が切り換わるとそれぞれの所定の列から順次前記データレジスタの内容を外部に出力する手段が「制御手段」に該当するから、被告製品は構成要件Lを充足する。

ウ 以上のとおり、被告製品は本件特許発明2の技術的範囲に属する。

(5) 被告製品における本件特許発明3の充足性

ア 被告製品の構成

被告製品が以下の構成を有していることは、当事者間に争いがない。

- n 行列状に配列された複数のメモリセルと
- o 各列に対してデータを一時的に格納するページバッファとを有し、
- p このメモリセルのうちの選択した行に並ぶページデータをこのページバッファに格納し、このページバッファ内のデータを順次外部に出力するシーケンシャルリードモード

q を備える半導体記憶装置において、

r この半導体記憶装置をリードAモードに切り換えて、列アドレスが0の位置から順次ページバッファの内容を読み出し、半導体記憶装置をリードCモードに切り換えて、列アドレスが5 1 2の位置以降に記憶された冗長メモリセルのデータを順次連続して読み出すアドレスレジスタ・カウンタ、行デコーダ及び列デコーダと

s を具備することを特徴とする半導体記憶装置

#### イ 対比

(ア) 上記(3)イ(ア)ないし(エ)及び(キ)の認定と同様、被告製品の構成 n , o , p , q 及び s はそれぞれ構成要件 N , O , P , Q 及び S を充足する。

(イ) 被告製品の構成 r のとおり、被告製品は、半導体記憶装置をリードAモードに切り換えて、列アドレスが0の位置から順次ページバッファの内容を読み出し、半導体記憶装置をリードCモードに切り換えて、列アドレスが5 1 2の位置以降に記憶された冗長メモリセルのデータを順次連続して読み出すアドレスレジスタ・カウンタ、行デコーダ及び列デコーダを有しているから、この5 1 2の位置以降に記憶された冗長メモリセルが「前記所定の列のアドレス以降に記憶された冗長メモリセル」に該当することは明らかである。

そして、前記(2)カ認定のとおり、構成要件Rの「制御装置」とは、モードを第1のモード又は第2のモードにそれぞれ切り換えて、切り換えた後に各モードにおいて所定の列から順次データレジスタの内容を読み出す制御装置であるから、前記(4)イ(イ)認定と同様に、上記構成rにおいて、リードAモード又はリードCモードにそれぞれ切り換えた後の「データを順次連続して読み出すアドレスレジスタ・カウンタ、行デコーダ及び列デコーダ」が、構成要件Rの「制御装置」に該当することは明らかである。

したがって、被告製品は、構成要件Rを充足する。

ウ 以上のとおり，被告製品は本件特許発明 3 の技術的範囲に属する。

## 2 争点(2)ア（特許法 36 条 5 項 2 号違反）について

- (1) 平成 6 年法律第 116 号による改正前の特許法 36 条 5 項は、「第 3 項第 4 号の特許請求の範囲の記載は，次の各号に適合するものでなければならない」と規定し，同項 2 号（以下「特許法旧 36 条 5 項 2 号」という。）は，「特許を受けようとする発明の構成に欠くことができない事項のみを記載した項（以下「請求項」という。）に区分してあること。」と規定している。したがって，特許請求の範囲には，発明の構成に欠くことができない事項，すなわち当該発明の技術的課題を解決するために必要不可欠な技術的事項を記載することにより，発明の構成要件のすべてを記載すべきものである。
- (2) 前記 1 (1)において認定したとおり，本件明細書（甲 6）によれば，従来技術では，連続データ読み出しを行う場合，データの配置情報を得るため各ページの連続情報のみを連続して読み出す必要があり（(4)頁左欄 2 行ないし 6 行【0012】），また，各ページ読み出し開始時に前記ページ内所定アドレスを毎回入力する必要があり，システムの効率が低下する問題があったこと（(4)頁左欄 15 行ないし 18 行【0013】），そこで，本件特許発明が解決しようとする課題は，「前記ページ内所定アドレスを管理することなく，ページ内所定アドレスからページ内最終アドレスまでの各ページデータを連続して読み出せる半導体メモリを得ること」（(4)頁左欄 20 行ないし 23 行【0014】）であり，その作用として，「ページ内の第一の所定カラムアドレスからそのページの最終アドレスまでのデータを連続したページについて読み出せるとともに，ページ内の第二の所定カラムアドレスからそのページの最終アドレスまでのデータを連続したページについて読み出すことが可能」（(4)頁右欄 12 行ないし 17 行【0017】）であって，その効果は，「データをページ毎に連続して読み出す場合に，ページアドレスが変化するたびに読み出し開始アドレスを入力する必要がなく，メモリチップを制御するシステムを簡単に構成可能」にする

((10)頁右欄 1 3 行ないし 1 6 行【 0 0 4 1 】)というものである。

このように、本件特許発明の目的は、連続読み出しの場合において、所定アドレスを毎回入力する必要をなくすことにあり、その課題を解決するための手段が、本件特許発明 1 ないし 3 の特許請求の範囲の構成をとることである（甲 6 の(4)頁左欄 2 5 行ないし同頁右欄 1 0 行【 0 0 1 5 】【 0 0 1 6 】）。すなわち、例えば、本件特許発明 1 の構成要件 E の「選択された行が切り換ると第 1 の所定の列から順次前記データレジスタの内容が外部に出力される第 1 のモード」という記載は、上記従来技術、発明が解決しようとする課題、発明の目的、作用及び効果を考慮すれば、「第 1 のモード」という構成をとることによって、ページアドレスが変化するたびに、毎回アドレスを入力する必要がなく、自動的に、第 1 の所定の列から順次データレジスタの内容が外部に出力されるモードと解される。「第 2 のモード」についても、同様である。このことは、本件特許発明 2 及び 3 においても、同様である。

したがって、本件特許発明は、「第 1 のモード」及び「第 2 のモード」という構成をとることによって、連続読み出しの場合において、所定アドレスを毎回入力する必要をなくすことを実現できるという、1 つのまとまった技術思想を表したものと把握することが可能であるから、「特許を受けようとする発明の構成に欠くことができない事項」のみが記載されているものであり、特許法旧 3 6 条 5 項 2 号に違反するということとはできない。

- (3) 被告は、本件特許請求の範囲には、所定のコラムアドレスからの「連続読み出し」を規定する「第 1 のモード」、「第 2 のモード」の要件とは別に、このような「連続読み出し」の場合において、「所定アドレス毎回入力の必要性」を除去する技術的手段が明確に記載されなければならないところ、かかる技術的手段が一切記載されていないと主張する。

確かに、具体的構成については特許請求の範囲に記載はないが、本件特許発明は、「第 1 の所定の列から順次前記データレジスタの内容を外部に出力」する

「第1のモード」と「第2の所定の列から順次前記データレジスタの内容を外部に出力」する「第2のモード」という特許請求の範囲の各文言を基礎に、読み出し開始位置が、「第1の所定の列」、「第2の所定の列」という具合に、あらかじめ定まっていることに大きな意味がある。そして、そのために、どのようなモード設定をするかについても、本件明細書（甲6）の実施例に関しては、例えば、「第1のモード」については、図4、図11の動作を行うものであること及びその動作につき【0019】【0020】【0032】ないし【0036】に詳細に説明されており、また、「第2のモード」についても、図5、図12の動作を行うものであること及びその動作につき【0021】【0037】に詳細に説明されており、当業者が実施できる程度に説明されているというべきであるから、かかる具体的な技術手段が特許請求の範囲に記載されていなくても、特許請求の範囲の記載に欠けるところはないというべきである。

したがって、この点に関する被告の主張は理由がない。

### 3 争点(2)イ（新規性欠如その1）について

#### (1) 引用例1の内容

本件特許の出願前に頒布された「IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. sc-19, NO.6, DECEMBER 1984」(乙6)には、次の記載がある。

ア 「ビデオ・アプリケーション用同時シリアルとランダム・モード・アクセス付き高速デュアルポート・メモリ」(訳文1頁の4行ないし5行。英文P.999表題)

イ 「概要 オンチップの256ビットの高速シフトレジスタにインターフェイスされた64K×1NMOSのダイナミックRAMが説明されている。このデバイスにおいてメモリの選択された行からシフトレジスタへ、256ビットの並列転送を通常のRASサイクルタイムで行うことができる。」(訳文1頁の9行ないし13行。英文P.999左欄上から1行ないし12行)

ウ 「この論文は、64K×1ダイナミックRAMと高速256ビット・シフ

トレジスタを同一チップ上に組合わせた，マルチポート・ビデオ・メモリと称する新しいメモリ・デバイスについて説明する。DRAM中の行の情報は単一メモリ・サイクルでレジスタに転送され，デバイスに印加される別のクロック信号によりビデオ・ディスプレイへシリアルにシフトして出力される。」(訳文2頁の1行ないし6行。英文 P.999 左欄下から8行ないし2行)

エ 「転送モードの場合， $\overline{RAS}$ ， $\overline{CAS}$ ， $R/\overline{W}$ ，及びアドレスは256ビットの情報をDRAMの選択された行からシフトレジスタへ，又は逆の方向へ平行に転送させるための制御及びアドレス情報を提供する。」(訳文2頁の21行ないし24行。英文 P.999 右欄下から15行ないし11行)

「図1．オンチップの256ビットのシフトレジスタにインターフェースされたDRAMアレイとランダムとシリアル回路を操作するのに必要であるコントロール信号を示したマルチポート・ビデオ・メモリの基本的なブロック線図」(訳文3頁図1とその説明。英文 P.1000 Fig. 1 及びその説明)

オ 「非同期モードでは，シフト・クロック(SCLK)ピンの制御下で，シリアル・インプット(SIN)とシリアル・アウトプット(SOUT)のピンは，データをシフトレジスタ中に，あるいはシフトレジスタの外にそれぞれシフトさせる。」(訳文3頁の5行ないし7行。英文 P.1000 左欄上から7行ないし10行)

カ 「シフトレジスタは，図示の如く，4つのカスケード接続された64ビットのセグメントに分割されており，コラム(列)アドレスの最上位2ビットによって与えられる2ビットのバイナリコードによってSOUTに接続されるセグメントが選択される。」(訳文4頁の6行ないし9行。英文 P.1000 左欄下から2行ないし右欄2行)

キ 「図3．転送読み取り操作とその後の同時と非同期DRAM書き込みとシリアル・シフトサイクルを示すタイミング図。256ビットの情報はメモリの行からシフト・レジスタへ転送され，順次にシフトアウトされる。



レジスタから出る最初のビットは $\overline{RAS}$ の立ち上がりによりトリガーされる。その後、全てのビットは $CLK$ インプットによりレジスタを通過して、レジスタから外に伝送される。」(訳文 6 頁の 3 図とその説明。英文 P.1002 Fig.3 及びその説明。)

ク 「256 ビットシフトレジスタは実際には、4 つのカスケード接続された 64 ビットシフトレジスタにより構成されている。レジスタセグメントは、それぞれ  $SIN$  と  $SOOUT$  のピンでデバイスから、又はデバイスヘインターリーブされた 2 つの 32 ビットのレジスタセクションとして実現されている。各セグメント又は“タップ”選択は、シフトレジスタの転送サイクル中に、 $\overline{CAS}$  がローとなると最上位 2 つのカラムアドレスピンに印加される 2 ビットコードによって制御される。この 2 ビットが 00 なら、256 ビットのすべてが、ビット 00 からシフト・アウトできる。バイナリ 01 なら、192 ビットがビット 64 からシフト・アウトできる。バイナリ 10 なら、128 ビットがビット 128 からシフト・アウトできる。バイナリ 11 なら、最後の 64 ビットが 192 ビットのところからシフト・アウトできる。」(訳文 9 頁の 6 行ないし 15 行。英文 P.1003 左欄下から 4 行ないし右欄 9 行)

(2) よって、引用例 1 には、ビデオ用のデュアルポートメモリであって、2 ビットコードで指定することによりシフトレジスタからの読み出し開始位置を 4 通りに選択可能にした半導体記憶装置が記載されていることが認められ、その構成は次のとおりである。

- a 64 K × 1 ダイナミック RAM アレイと、
- b 各列に対してデータを一時的に格納する高速 256 ビット・シフトレジスタとを有し、
- c ダイナミック RAM アレイ内の行の情報を単一メモリ・サイクルで前記高速 256 ビット・シフトレジスタに転送して格納し、前記高速 256 ビット・シフトレジスタ内のデータをシリアル・アウトプット ( $SOOUT$ )

ピンを介して順次外部に出力する半導体記憶装置において、

- d セグメント又は“タップ”の選択に従って、所定の列（ビット00，ビット64，ビット128，又はビット192）から前記高速256ビット・シフトレジスタの内容を外部に出力する
- e ことを特徴とする半導体記憶装置

(3) 本件特許発明1との対比

ア 構成要件Aについて

引用例1の構成aにおける「64K×1ダイナミックRAMアレイ」は、構成要件Aにおける「マトリクス状に配列された複数のメモリセル」に該当する。よって、引用例1に構成要件Aは開示されている。

イ 構成要件Bについて

引用例1の構成bにおける「高速256ビット・シフトレジスタ」は、ダイナミックRAMアレイの1行分の256ビットのデータを各列に対応して一時的に格納しているから、構成要件Bにおける「データレジスタ」に該当する。よって、引用例1に構成要件Bは開示されている。

ウ 構成要件C及びDについて

引用例1には、DRAM中の行の情報は単一メモリ・サイクルでレジスタに転送されること及び256ビットの情報をDRAMの選択された行からシフトレジスタへ転送させることが記載されているから（前記(1)ウ，エ），引用例1の構成cにおける「ダイナミックRAMアレイ内の行の情報を単一メモリ・サイクルで前記高速256ビット・シフトレジスタに転送して格納し」は、構成要件Cにおける「前記メモリセル内の選択した行に並ぶページデータを前記データレジスタに格納し」に該当する。さらに、引用例1には、シリアル・アウトプット（SOUT）のピンはデータをシフトレジスタの外にシフトさせると記載されており（前記(1)オ），256ビットのデータは行単位（ページ単位）で順次出力されていることは明らかである。

したがって、引用例1の構成cにおける「前記高速256ビット・シフトレジスタ内のデータをシリアル・アウトプット(SOUT)ピンを介して順次外部に出力する半導体記憶装置において」は、構成要件Cにおける「前記データレジスタ内のデータを順次外部に出力するページ読みだしモードを備える半導体記憶装置において」に該当する。よって、引用例1に構成要件C及びDは開示されている。

#### エ 構成要件E及びFについて

前記1(2)エで認定したとおり、本件特許発明1の構成要件Eの「選択された行が切り換ると第1の所定の列から順次前記データレジスタの内容が外部に出力される第1のモード」という記載は、「第1のモード」という構成をとることによって、ページアドレスが変化するたびに、毎回アドレスを入力する必要がなく、自動的に、第1の所定の列から順次データレジスタの内容が外部に出力されるモードと解され、「第2のモード」についても、同様である。

一方、引用例1では、メモリの動作は、ロウアドレス、2ビットのバイナリコード、カラムアドレスの順にアドレスが入力され、2ビットのバイナリコードによって読み出される先頭アドレスが決定する構成を採用していると認められる。そして、「シフトレジスタは、図示の如く、4つのカスケード接続された64ビットのセグメントに分割されており、カラム(列)アドレスの最上位2ビットによって与えられる2ビットのバイナリコードによってSOUTに接続されるセグメントが選択され」(前記(1)カ)、「各セグメント又は“タップ”選択は、シフトレジスタの転送サイクル中に、 $\overline{CAS}$ がローとなると最上位2つのカラムアドレスピンに印加される2ビットコードによって制御される。」(前記(1)ク)というのであるが、引用例1では、行が切り換わるごとに、再び2ビットのバイナリコードを入力しないと記載されていないから、行が切り換わるたびに読み出し位置の指定を行わない方式が開

示されているとは断定できない。

したがって、引用例 1 は、ページアドレスが変化するたびに、毎回アドレスを入力する必要がなく、自動的に、第 1 の所定の列から順次データレジスタの内容が外部に出力されるモードである「第 1 のモード」及び「第 2 のモード」を備えているとはいえず、結局、この点で、上記構成 d は、構成要件 E 及び F と相違する。

オ 構成要件 G について

引用例 1 の構成 e は構成要件 G と一致する。

カ 以上のとおり、引用例 1 は、本件特許発明 1 と構成要件 A、B、C、D 及び G において一致するが、構成要件 E 及び F において相違する。

(4) 本件特許発明 2 及び 3 について

上記(3)と同様の理由により、引用例 1 の構成 d は、構成要件 L 及び R と一致しない。

(5) 以上により、本件特許発明が引用例 1 により新規性を欠如するとの被告の主張は理由がない。

4 争点(2)ウ(新規性欠如その 2)について

(1) 引用例 2 の内容

本件特許の出願前に頒布された特開昭 6 2 - 2 9 8 0 9 5 号公報(乙 7)には、次の記載がある。

ア 「この発明は、半導体記憶装置に関するもので、例えば、..... E P R O M .....装置に利用して有効な技術に関するものである」( 1 頁右欄 1 行ないし 7 行)

イ 「上記 E P R O M 装置においては、その書き込みに際して、既に書き込みデータが存在するエリアに書き込みを行うと、多重書き込みによって前のデータ及び新たに書き込むデータの双方が実質的に破壊されてしまう。そこで、その内容を読み出してどのエリアまで書き込みが行われているか否かを調べ

ることが考えられる。しかしながら，例えば全ビットが論理“1”(フローティングゲートに電荷が存在しない状態)のような書き込みデータが存在することがあるため，上記の読み出し(全ビット論理“1”)を持って直ちに空きエリアと判定できない。したがって，それぞれのEPROM装置毎に書き込みの記録を残して置く必要がありその記録管理が面倒になる」(1頁右欄16行ないし2頁左上欄9行)

ウ 「この発明の目的は，空きエリアを簡単に識別できる機能を持つ半導体記憶装置を提供することにある」(2頁左上欄15行ないし17行)

エ 「〔問題点を解決するための手段〕……電氣的な書き込が行われるプログラマブルROMに，書き込みデータに対応して，その書き込済を示す情報ビットを格納するエリアを設けるものである」(2頁右上欄1行ないし7行)

オ 「〔発明の効果〕……単位のデータに対してその書き込済を記録する情報ビットを付加して書き込みを行うことによって，その情報ビットの読み出しによって書き込み済のメモリエリアを容易に検索することができる。」(6頁右上欄13行ないし16行)

カ 「この実施例では，例えば8ビットの単位でのデータの保持が行われる場合，上記メモリアレイM-ARY，センスアンプSA及びデータ出力バッファDOB，データ入力バッファDIBは，9個から構成される。上記9個の各回路のうち，8個の各回路を用いて上記8ビットの単位でのデータ書き込み/読み出しが行われる。そして，残り1個のメモリアレイM-ARY，センスアンプSA及びデータ出力バッファDOB，データ入力バッファからなる回路は，書き込み状態を記録する情報ビットとして利用される。すなわち，上記構成の9個の各回路を用いて9ビットの単位での書き込みを行う場合，8ビット分がデータとし，残り1ビット分が書き込み状態を記録する情報ビットとして論理“0”が書き込まれる。」(4頁右下欄17行ないし5頁左上欄11行)

キ 「第2図には、上記実施例のE P R O M装置の書き込み状態を示すメモリマップ図が示されている。例えば、E P R O Mが4 0 9 6 × 9ビットの記憶容量を持つ場合、そのアドレスは、16進法で表現すると、\$ 0 0 0 ( 0 ) から\$ F F F ( 4 0 9 6 ) までのアドレス空間を持つものとされる。」( 5 頁左上欄17行ないし同右上欄2行)

ク 「したがって、次に上記E P R O Mに対して別のデータを書き込むとき、読み出しモードとしてアドレス\$ 0 0 0 から順に上記情報ビットS Bの読み出しを行う。そして、その情報ビットS Bが論理“ 1 ”を判定し、空きエリアの先頭アドレスを知ることができる。」( 5 頁右上欄13行ないし18行)

ケ 「単位のデータに対してその書き込み済を記録する情報ビットを付加して、書き込みを行うことによって、その情報ビットの読み出しによって書き込み済のメモリアreaを容易に検索することができる。」( 5 頁右下欄13行ないし17行)

(2) 本件特許発明との対比

ア よって、引用例2には、データの書き込まれていない空きエリアを簡単に探し出せるようにすることを目的として、メモリ・アレイ内に書き込みデータに対応して、その書き込み済みを示す情報ビットを格納するエリアを設ける構成が記載され、実施例には、9ビット単位に1ビットの情報ビットを設け、情報を書き込むとともに、情報ビット(S B)に「0」を書き込み、情報ビットが「1」となっているエリアを探すことにより空きエリアを容易に判定できるようにする構成が開示されている。

イ しかしながら、上記(1)カの「8ビットの単位でのデータの保持が行われる場合、上記メモリアレイM - A R Y、センスアンプS A及びデータ出力バッファD O B、データ入力バッファD I Bは、9個から構成される。上記9個の各回路のうち、8個の各回路を用いて上記8ビットの単位でのデータ書き込み/読み出しが行われる。」( 4 頁右下欄17行ないし5頁左上欄3行)と

の記載からすると、引用例2の構成は、センスアンプ(SA)、データ出力バッファ(DOB)及び外部端子(I/O)をそれぞれ9個ずつ有しており、9個のデータ出力バッファのうち、8ビットは同時に出力されていると認められ(第1図参照)、少なくとも、データを順次出力する構成を有していないと解される。そうすると、引用例2は、そもそも、ページデータ出力バッファ内のデータを順次外部に出力するものとはいえず、本件特許発明1の構成要件C、本件特許発明2の構成要件J、本件特許発明3の構成要件Pの構成と一致しない。したがって、引用例2は、「データレジスタ内のデータを外部に出力する」ことを前提とする本件特許発明1の構成要件E及びF、本件特許発明2の構成要件L並びに本件特許発明3の構成要件Rの構成とも一致しない。

- (3) 以上により、本件特許発明が引用例2により新規性を欠如するとの被告の主張は理由がない。

#### 5 争点(3)(損害の発生及びその額)について

- (1) 以上のとおり、被告製品は本件特許発明の技術的範囲に属し、本件特許は無効にされるべきものとは認められないから、被告の行為は、原告の本件特許権を侵害する。そして、特許法103条により、被告は、その侵害行為について過失があったものと推定されるから、これにより原告が被った損害を賠償すべきである。

- (2) 平成16年7月から同年9月末日までの損害

ア 本件特許発明の相当な実施料率が1パーセントであること、被告における平成16年7月から同年9月末日までの被告製品の売上げは1億3386万6842円であることは当事者間に争いがない。

イ よって、特許法102条3項により受けるべき金銭の額は、133万8668円と認めるのが相当である。

$$133,866,842 \times 0.01 = 1,338,668$$

(3) 平成16年10月から平成17年6月末日までの損害

ア 本件特許発明の相当な実施料率が1パーセントであること、被告における平成16年10月から平成17年6月末日までの被告製品の売上げは6億5034万3486円であることは当事者間に争いが無い。

イ よって、特許法102条3項により受けるべき金銭の額は、650万3435円と認めるのが相当である。

$$650,343,486 \times 0.01 = 6,503,435$$

(4) 以上のとおり、被告は、原告に対し、合計784万2103円及び内金133万8668円に対する平成17年11月8日から、残金650万3435円に対する同月26日から各支払済みまで民法所定の年5分の割合による遅延損害金を支払う義務がある。

## 6 結論

以上のとおり、被告製品は本件特許発明の技術的範囲に属し、本件特許は無効にされるべきものとは認められないから、原告の特許法100条に基づく被告製品の譲渡、貸渡し、輸入又は譲渡若しくは貸渡しの申出の差止め及び廃棄請求は、理由がある。

なお、原告は、輸入の申出についての差止めをも請求するが、輸入の申出は特許法2条3項1号所定の実施行為に含まれていないから、同請求は理由がない。また、原告は、半製品についての廃棄も請求し、それは、別紙被告製品説明書記載の構成を具備しているが、半導体記憶装置として完成するに至っていないものをいう趣旨と解されるが、本件においては、被告製品は韓国等から輸入したもので、被告において生産するものではなく、被告が半製品を所有していることを認めるに足りない。よって、原告の半製品の廃棄請求も理由がない。

また、上記特許権侵害を理由とする損害賠償請求は、前記5で認定した限度で理由がある。

よって、主文のとおり判決する。



東京地方裁判所民事第47部

裁判長裁判官 高 部 眞 規 子

裁判官 東 海 林 保

裁判官 田 邊 実

## 被 告 製 品 目 録

下記製品番号の半導体記憶装置

記

HY27US08561M - TPCB

HY27US08561M - TPEB

HY27US08121M - TPCB

HY27US08121M - TPIB

HY27US08121M - TCB

HY27UA081G1M - TPCB

HY27UA081G1M - TCB

以上